

Title of the Prior Art

Japanese Published Patent Application No. Hei.4-276845

Date of Publication: October 1, 1992

Concise Statement of Relevancy

There is provided a bus arbitration circuit which prevents a specific DMA control circuit from occupying a bus shared by a single CPU, plural DMA control circuits, and a memory of the CPU for a long time, and further in which the CPU can obtain the right of possession of the bus for a shorter time than the conventional circuit even when the CPU is in a state where the CPU urgently uses the bus at the time when the specific DMA control apparatus is using the bus. When a first DMA control circuit and an n-th DMA control circuit output a use demand signal of the bus at the same time, and a priority is given to the first DMA control circuit by the bus arbitration unit, after an elapse of fixed time, an interruption signal is outputted from the n-th DMA control circuit, whereby, when an urgent interruption signal is outputted to the CPU from an interruption control circuit, the CPU temporarily outputs a flag setting signal to a flag register, and the use right of the bus is given to the n-th DMA control circuit by the bus arbitration circuit, by masking a bus use demand signal.

**THIS PAGE BLANK (USPTO)**

特開平4-276845

(43)公開日 平成4年(1992)10月1日

(51) Int.Cl.<sup>3</sup>

**識別記号**

片内整理番号

FI

### 技術表示箇所

G O B F 13/362

5 2 0 Z 7052-5B

13/28

**Z 7052-5 B**

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号

特種平3-36985

(22) 出願日

平成3年(1991)3月4日

(71)出題人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区西新橋3丁目20番4号

(72) 發明者 鎮守 正昭

東京都港区芝五丁目7番1号日本電気株式  
会社内

(72)発明者 山田 和彦

東京都港区西新橋三丁目20番4号日本電気  
エンジニアリング株式会社内

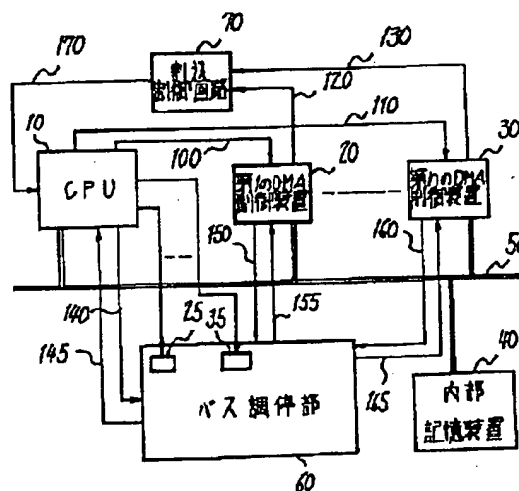
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 バス調停回路

(57) 【要約】

**【目的】** 特定のDMA制御装置が長時間バスを占有して動作することを防止し、また上述のDMA制御装置がバスを使用しているときにCPUが緊急にこのバスを使用する状態となったときにも、従来より短時間でCPUがそのバスの占有権を得ることを可能とすることを目的とする。

【構成】 第1のDMA制御装置20と第nのDMA制御装置30とが同時にバスの使用要求信号を出力し、バス調停部60により第1のDMA制御装置20に優先権が与えられ動作中、一定時間経過すると、第nのDMA制御装置30から割込信号が出力される。割込制御回路70からは緊急割込信号がCPU10に出力される。CPU10はこの信号が入力されると、フラグレジスタ25に対してフラグ設定信号を一時出力しバス使用要求信号150をマスクすることによりバスの使用権がバス調停回路60によって第nのDMA制御装置30に与えられる。



## 【特許請求の範囲】

【請求項1】 マイクロプログラムに従って動作するCPUと前記CPUがもつ内部記憶装置と前記内部記憶装置と外部記憶装置あるいは前記CPUの上位装置とのデータの入出力を制御する複数のDMA制御装置とがバスを介して接続され前記CPUおよび前記DMA制御装置が前記バスを使用する際に予め決められた優先順位に基づいて同一時刻において前記CPUと前記複数のDMA制御装置の内の一つに前記バスの使用権を与えるバス調停回路において、前記複数のDMA制御装置にそれぞれ対応して設けられフラグ設定信号が入力されている間はフラグが設定され前記対応したDMA制御装置から出力される前記バスの使用を要求するバス使用要求信号をマスクし前記フラグが設定されていないときは対応するDMA制御装置からのバス使用要求信号をそのまま通過させるマスク手段を有し前記マスク手段を介して前記複数のDMA制御装置および前記CPUの内の2以上から同時刻に前記バス使用要求信号を受信すると予め定められた優先順位に従って前記バス使用要求信号を送出した前記DMAおよび前記CPUの内の一つに対して前記バスの使用権を与えるバス使用許可信号を出力するバス調停部と、前記バス使用許可信号が与えられて間のみ前記バスを使用する動作が可能であり前記バスを使用している間は前記使用要求信号を連続して出力し前記バス調停部により前記バスの使用が保留され前記バス使用要求信号の出力を開始してから予め定められた時間経過すると割込信号を出力する手段を有する前記複数のDMA制御装置と、前記割込信号のすべてを入力とし前記割込信号の内少なくとも一つを受信すると緊急割込信号を出力する割込制御回路と、前記緊急割込信号を受信すると前記割込信号を出力した前記DMA制御装置以外の前記DMA制御装置に対応して設けられている前記フラグレジスタに対して前記フラグ設定信号を予め定められた時間に亘り出力する手段と前記CPUがバスを優先的に使用する必要が生じたとき前記すべてのフラグレジスタに対して予め定められた時間に亘り前記フラグ設定信号を出力する手段とを有する前記CPUとを備えたこと特徴とするバス調停回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はバス調停回路に関し、特に1つのCPUと複数のDMA（ダイレクトメモリアクセス）制御装置とCPUが持つ内部記憶装置とで構成されたデータ処理装置とが共有するデータ伝送用のバスの使用権を調停するバス調停回路に関する。

## 【0002】

【従来の技術】 バス調停回路は、CPU（中央処理装置）と複数のDMA制御装置およびCPUが持つ内部記憶装置などで構成されるデータ処理装置内に設けられている。上述したCPU、複数のDMA制御装置および内

部記憶装置が共有するバスに対してこのバスを使用するCPUと複数のDMA制御装置から同時にこのバスを使用するための要求が生じた場合、すなわち、バスに対する競合が生じた場合にこのようなバスに対する競合を避けるために前述したデータ処理装置内にバス調停回路を設け、このバス調停回路がCPUと複数のDMA制御装置の内の同時に上述したバスを使用しようとする要求を調整して、予め決められているバスの使用優先権に基づいて上述したバスについての使用要求を出した競合するDMA間またはDMAとCPUの中から一つを選択してこれにバスの使用権を与えるている。

【0003】 なお、上述したDMA制御装置はCPUが持つ内部記憶装置に記憶されているデータを読み出し前述したデータ処理装置外の外部記憶装置または前述のCPUの上位装置へ書き込むとき、あるいは外部記憶装置または前述のデータ処理装置外の上位装置に記憶されているデータを読み出し上述した内部記憶装置に書き込むときのこれらデータの読み出しと書き込みの制御を前述のCPUを介さずに制御する制御装置である。さらに、一般に上述したデータ処理装置には複数のDMA制御装置が設けられておりさらにこれらDMA制御装置はそれぞれ特定の外部記憶装置または前述したデータ処理装置の上位装置と前述したデータ処理装置内の内部記憶装置との間のデータの転送を制御する。なお、これらのDMA制御装置は前述したCPUからのデータの転送要求を受けたときに上述したデータの転送を行うものである。

## 【0004】

【発明が解決しようとする課題】 上述した従来のバス調停回路は、ある特定のDMA制御装置に対して前述したバスの使用権を与えると、その使用権を与えられたDMA制御装置がデータの転送を完了してしまうまでは、そのDMA制御装置がデータの転送制御を行っている間に、前述したCPUあるいは、他のDMAからバス調停回路に対して、バスの使用要求が出されても、この使用要求は保留されてしまい、たとえば、CPUがバスを急いで使用したい場合でも、上述したバスの使用権を持っているDMA制御装置の動作が終了するまでは、このCPUがバスを使用することはできず、また、上述したバスの使用権を得たDMA制御装置が制御するデータの量が非常に大で一連のデータの転送の制御が終了までに長時間を要する場合には、他のDMA制御装置または前述したCPUはバスの使用要求を出してから長時間待たなければならないという欠点があった。

【0005】 本発明の目的は、前述したバスの使用権を得たDMA制御装置によるデータ転送の動作時間が長い場合には、予め決められた時間経過したとき他のDMA制御装置またはCPUからバスの使用要求が送出された場合には一旦このバスの使用要求を出した他のDMAまたはCPUにバスの使用権を与え、特定の一つのDM

A制御装置のみに上記のバスの使用を長時間に亘り集中させず他のDMA制御装置に対してもバスを使用する機会を与え、またCPUが前述したバスの使用要求を出した場合にも従来より短時間でバスの使用権を得ることのできるバス調停回路を提供することにある。

【0006】

【課題を解決するための手段】本発明のバス調停回路は、マイクロプログラムに従って動作するCPUと前記CPUがもつ内部記憶装置と前記内部記憶装置と外部記憶装置あるいは前記CPUの上位装置の間のデータの出入力を制御する複数のDMA制御装置とがバスを介して接続され前記CPUおよび前記DMA制御装置が前記バスを使用する際に予め決められた優先順位に基づいて同一時刻において前記CPUと前記複数のDMA制御装置の内の一つに前記バスの使用権を与えるバス調停回路において、前記複数のDMA制御装置にそれぞれ対応して設けられフラグ設定信号が入力されている間はフラグが設定され前記対応したDMA制御装置から出力される前記バスの使用を要求するバス使用要求信号をマスクし前記フラグが設定されていないときは対応するDMA制御装置からのバス使用要求信号をそのまま通過させるマスク手段を有し前記マスク手段を介して前記複数のDMA制御装置および前記CPUの内の2以上から同時刻に前記バス使用要求信号を受信すると予め定められた優先順位に従って前記バス使用要求信号を送出した前記DMAおよび前記CPUの内の一つに対して前記バスの使用権を与えるバス使用許可信号を出力するバス調停部と、前記バス使用許可信号が与えられて間のみ前記バスを使用する動作が可能であり前記バスを使用している間は前記使用要求信号を連続して出力し前記バス調停部により前記バスの使用が保留され前記バス使用要求信号の出力を開始してから予め定められた時間経過すると割込信号を出力する手段を有する前記複数のDMA制御装置と、前記割込信号のすべてを入力とし前記割込信号の内少なくとも一つを受信すると緊急割込信号を出力する割込制御回路と、前記緊急割込信号を受信すると前記割込信号を出力した前記DMA制御装置以外の前記DMA制御装置に対応して設けられている前記フラグレジスタに対して前記フラグ設定信号を予め定められた時間に亘り出力する手段と前記CPUがバスを優先的に使用する必要が生じたとき前記すべてのフラグレジスタに対して予め定められた時間に亘り前記フラグ設定信号を出力する手段とを有する前記CPUとを備えて構成されている。

【0007】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0008】図1は本発明のバス調停回路の一実施例を示すブロック図である。

【0009】本実施例のバス調停回路は、図1に示すように、内部に予め記憶されているマイクロプログラムに

従って動作するCPU10と第1のDMA制御装置20および第nのDMA制御装置30とが内部記憶装置40にバス50を介して接続されている。図においてはDMA制御装置は第1のDMA制御装置20と第nのDMA制御装置30の2台だけが示されているが、一般には任意の複数のDMA制御装置を接続することができる。

【0010】第1のDMA制御装置20および第nのDMA制御装置30は何れも図示されていない上位装置のもつ特定の記憶装置または特定の図示されていない外部記憶装置と内部記憶装置40との間のデータの転送をバス50を介して制御するDMA制御装置である。

【0011】第1のDMA制御装置20と第nのDMA制御装置30は何れもCPU10からバス50を介してたとえば、内部記憶装置40内に記憶されたデータの内で最初に読み出すべきデータのアドレスと読み出すべきデータのデータ長およびこの読み出したデータが記憶されるべき図示されていない外部記憶装置内の書き込むべき先頭のアドレスの指定がなされたとき、あるいは、上述した外部記憶装置に記憶されているデータの内の読み出すべき一連のデータの先頭アドレスと読み出すべき一連のデータのデータ長とその読み出したデータが書き込まれるべき内部記憶装置40内の先頭アドレスが指定され、また、たとえば、CPU10からのDMA起動信号100および110がそれぞれ第1のDMA制御装置と第nのDMA制御装置に加えられると、第1のDMA制御装置20および第nのDMA制御装置30からそれぞれバス50の使用を要求するバス使用要求信号150および160がバス調停部60に出力される。

【0012】バス調停部60には、これらCPU10と第1のDMA制御装置20および第nのDMA制御装置30から同時にバス50に対してのバス使用要求信号が加えられたとき、どのような順序でバス50の使用権を与えるかを予め決めておく。たとえば、CPU10に対してバス50の使用権が最も高く、次に第1のDMA制御装置20に対してのバス50の使用権が高く、第nのDMA制御装置30に対するバス50の使用権が最下位だとすると、上述したように第1のDMA制御装置20と第nのDMA制御装置30から同時にバス使用要求信号が出力されたときには、バス調停部60はバス50の使用を許可するバス使用許可信号155を第1のDMA制御装置20に対して出力し、第1のDMA制御装置20に対してバス50の使用許可を与える。

【0013】第1のDMA制御装置20はこのバス使用許可信号155を受信すると、さきにCPU10によって指定されている、たとえば、内部記憶装置40内のアドレスから始まりCPU10によって前もって指定されたデータ長のデータの読み出しの制御を行い、この読み出したデータをバス50を介してこの第1のDMA制御装置20に対応して予め決められている特定の図示されていない外部記憶装置の予め指定されたアドレス以降

に書き込む制御をCPU10を介さないで行う。なお、外部記憶装置への書き込み開始のアドレスは前述したようにCPU10によって前もって第1のDMA制御装置20に指定されている。

【0014】このようにしてバス調停部60からのバス使用許可信号155が出力されており第1のDMA制御装置20が上述したデータの転送を行っている間は第nのDMA制御装置30からのバス50に対する使用は調停部60によって保留されているが、第nのDMA制御装置30がバス使用要求信号160を送出してから予め設定されている時間以上にこの保留時間が経過すると第nのDMA制御装置30からは割込制御回路70に対して割込信号130を出力する。割込制御回路70は割込信号130が入力されると、緊急割込信号170をCPU10に出力する。

【0015】なお、第1のDMA制御装置20も、第nのDMA制御装置30と同様にバス使用要求信号を要求してからバス調停部60によってバス50の使用を保留された場合には、予め決められた一定時間経過すると、割込信号120を出力するように設定しておく、また割込制御回路70は割込信号120が加えられたときにも、割込信号130が加えられたときと同様に緊急割込信号170を出力する。

【0016】CPU10は第1のDMA制御装置20がバス50を介して行っているデータ転送の状態を監視しており、上述の緊急割込信号170が入力されると、バス調停部60が第1のDMA制御装置20および第nのDMA制御装置30のそれぞれに対応して内部に持つフラグレジスタ25および35の内のフラグレジスタ25に対してバス50を介してのデータ転送に同期したフラグ設定信号を出力する。このフラグ設定信号の送出のタイミングは適切な時刻となるようにCPU10が設定するものとする。バス調停部60内のフラグレジスタ25はフラグ設定信号が受信されている間はフラグが設定される。第1のDMA制御装置20からバス調停部60に出力されるバス使用要求信号150はこのフラグレジスタ25によって制御されフラグレジスタ25が設定されているときには、バス使用要求信号150をバス調停部60の入力端でマスクし、バス調停部60の内部にバス使用要求信号150が伝達されるのを遮断する。このような状態では第nのDMA制御装置30から出力されているバス使用要求信号160のみがバス調停部60に入力されているから、バス調停部60は今まで第1のDMA制御装置20に出力していたバス使用許可信号155の出力を中止し、第nのDMA制御装置30に対するバス使用許可信号165を出力する。従って、第1のDMA制御装置20はその動作を停止して、第nのDMA制御装置30がバス50を使用してデータの転送制御を開始する。しかしながら、CPU10がバス調停部60のフラグレジスタ25に出力するフラグ設定信号はすでに

説明した一定時間が経過すると断となるので、フラグレジスタ25のフラグの設定は解除され、第1のDMA制御装置10から出力されているバス使用要求信号150に対するマスク作用が解除されるので、バス調停部60の内部にこのバス使用要求信号150が入力されるので、再びバス調停部60はバス50の使用順位の高い第1のDMA制御装置20に対して、バス使用許可信号155を出力すると同時に第nのDMA制御装置30に出力していたバス使用許可信号165の出力を停止する。

【0017】同様に、第nのDMA制御装置30のみが最初にバス使用要求信号160を出力しバス調停部60が第nのDMA制御装置30にバス使用許可信号165を出力した状態にあるとき、第1のDMA制御装置20がバス使用要求信号155をバス調停部60に出力しこのバス調停部60によってその要求が保留されて、予め設定された時間が経過すると第1のDMA制御装置20から割込信号120が出力される。この割込信号120が出力されると、割込制御回路70は割込信号130が入力されたときと同様な動作を行い、その結果CPU10からはフラグ設定信号がバス調停部60内のフラグレジスタ35に出力される。フラグレジスタ35にCPU10からフラグ設定信号が出力されると、フラグが設定され第nのDMA制御装置30からバス調停部60に入力されるバス使用要求信号160をその入力端でマスクして、このバス使用要求信号160がバス調停部60の内部に伝達されるのをマスクする。従って、このような状態では、CPU10からフラグレジスタ35にフラグ設定信号が出力されている間は、今まで説明したと同様に、バス50の使用権は第nのDMA制御装置30から第1のDMA制御装置20に移ることになる。

【0018】また、第1のDMA制御装置20と第nのDMA制御装置30からバス使用要求信号150と160とがバス調停部60に出力され、前述したように、バス50はこれら2台のDMA制御装置が交互に使用している場合で、緊急にCPU10がバス50を使用する場合には、CPU10からバス調停部60に対してバス使用要求信号140を出力するとともにフラグレジスタ25と35とに対してフラグ設定信号を予め設定された時間の間出力すれば、上述した二つのDMA制御装置から出力されているバス使用要求信号150と160とは同時にマスクされるので、直ちにCPU10がバス調停部60からバス50へバス使用許可信号が出力されバス50の使用権を与えられることになるので、CPU10がバス50の使用要求信号140を出力してから短時間でバス50を使用することができる。

【0019】

【発明の効果】以上説明したように、本発明のバス調停回路は、特定のDMA制御装置が長時間バスを専有して使用することを防止し、バスの優先使用順位の低いDMA制御装置に対してもバスの使用を許可する機会を与え

ることができ、かつこれらのDMA制御装置がバスを使用している場合にCPUが緊急にバスを使用したい場合にも、フラグ設定信号をCPUから出力することによって従来のこの種のバス調停回路よりも短時間の内にCPUがバスを使用することができるという効果を有している。

【図面の簡単な説明】

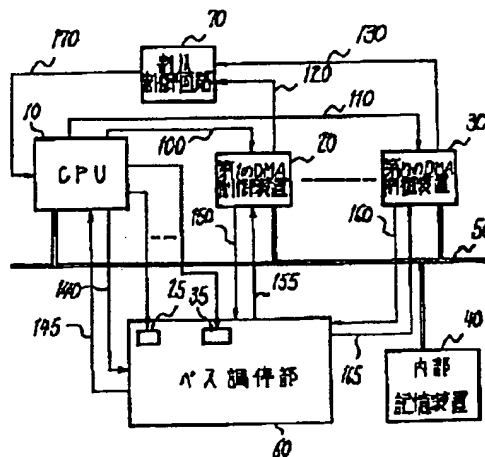
【図1】本発明のバス調停回路の一実施例を示すブロック図である。

【符号の説明】

10 CPU  
20 第1のDMA制御装置  
25 フラグレジスタ  
30 第nのDMA制御装置  
35 フラグレジスタ  
40 内部記憶装置  
50 バス  
60 バス調停部  
70 割込制御回路

10

【図1】



**THIS PAGE BLANK (USPTO)**